

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭56—119982

⑪ Int. Cl.³
G 11 C 9/06
G 06 F 13/00

識別記号 庁内整理番号
7056—5B
7361—5B

⑬ 公開 昭和56年(1981)9月19日

発明の数 1
審査請求 有

(全 7 頁)

⑭ 情報処理装置

⑮ 特 願 昭55—22601

⑯ 出 願 昭55(1980)2月25日

⑰ 発 明 者 杉山太一
秦野市堀山下1番地株式会社日
立製作所神奈川工場内

⑱ 発 明 者 難波秀企

横浜市戸塚区戸塚町180番地日
立電子サービス株式会社内

⑲ 出 願 人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号

⑳ 代 理 人 弁理士 磯村雅俊

明 細 書

1. 発明の名称 情報処理装置

2. 特許請求の範囲

主記憶装置のデータの写しと、該データまたはブロック単位に内容の有効無効を表示したビットを記憶する緩衝記憶装置を備え、プログラム状態語で状態を制御する情報処理装置において、前記緩衝記憶装置のアドレス更新を行うスキャン・ポインタを設け、前記プログラム状態語の待ち状態ビットが“1”のとき、前記スキャン・ポインタにより前記緩衝記憶装置からデータを順次読出してビット反転障害を検出し、該当するブロックあるいは全ブロックの記憶内容を無効化することを特徴とする情報処理装置。

3. 発明の詳細な説明

本発明は、情報処理装置に関し、特に緩衝記憶装置のビット反転障害を検出してエラー発生を防止する情報処理装置に関するものである。

情報処理装置においては、演算処理装置から主

記憶装置へのアクセス時間を短縮するために、高速のバッファ・メモリ（以下B Sと記す）を導入し、主記憶装置上の情報の写しをブロック単位でB Sに転送した後は、そのブロックへのアクセスをB Sに対して行う。

また、仮想空間を用いる情報処理装置では、主記憶装置を何回も参照して仮想記憶アドレスから実記憶アドレスを求める時間を短縮するため、仮想記憶アドレスと実記憶アドレスの変換対の写しをT L B (Translation Lookaside Buffer) に登録しておき、仮想記憶アドレスが与えられたとき、T L Bを参照して実記憶アドレスを脱出す。

その他にも、主記憶装置のデータの写しやコントロール情報を記憶しておくものとして、ローカル・ストレージ（以下L Sと記す）が設けられている。

第1図は、B Sを用いた情報処理装置のブロック図であり、第2図は第1図のバッファ・アドレス・アレイのブロック図である。

演算処理装置1は、記憶装置アドレス信号線5

を介してバッファ・アドレス・アレイ 2 および主記憶装置 4 をアクセスし、必要なデータが B S 3 に格納されている場合には、B S アドレス信号線 6 を通してアドレスを指定することにより、B S 3 から読出しデータ線 7 を介してデータを読出す。B S 3 に必要なデータが格納されていない場合には、主記憶装置 4 からそのデータを読出し、データ線 8 を介して B S 3 に格納する。

B S 3 に格納されたデータの中で、使用頻度の多いものをできる限り保存し、新たに B S 3 に格納する場合には以後使用されないものを追出す。そのため、以前の使用経歴をもとにして、追出しブロックの順位を決定しておく。

演算処理装置 1 から B S 3 をアクセスする場合、第 2 図に示すように、記憶装置アドレス信号線 6 を介してアドレスの上位ビットをアドレス・レジスタ 11 の A R U にセットし、下位ビットを A R L にセットする。主記憶装置 4 のアドレスをそのアドレスに対応するデータが格納されている B S 3 のアドレスに変換するため、アドレス・アレイ

(3)

ビットの仮想記憶ページ以上のアドレス部と 1 2 ビットのページ内アドレス部 L に区分され、仮想記憶ページ以上のアドレス部は、さらにセグメント・フィールド B とページ・フィールド P に分けられる。

第 3 図に示すビット構成の仮想記憶アドレスが T L B 2 1 により実アドレスに変換される場合、ページ内アドレス部 L はそのまま実記憶アドレスのページ内アドレス部 B A となり、仮想記憶ページ以上のアドレス部のみが T L B 2 1 を参照することにより、実記憶ページ・アドレス P A に変換される。

演算処理装置は、1つのエントリに対する最初のアクセスに対してのみ主記憶装置上のテーブルを参照することにより T L B 2 1 に登録すれば、その後の同一エントリに対するアクセスは、T L B 2 1 から直接実記憶アドレスを得ることができる。

ページの読み込み、あるいはページの入替え等、T L B 2 1 の内容の更新は、T L B エントリ制御部 1 9 および制御プログラムにより行われる。

(5)

1 3 を下位ビットでアクセスして読出されたアドレスと上位ビットとをアドレス比較器 1 4 で比較し、一致したアドレスに対応する B S アドレスをアドレス・レジスタ 1 5 の上位にセットするとともに、下位アドレス A R L をそのまま下位にセットする。アドレス・レジスタ 1 5 にセットされた上位と下位のアドレスにより、B S がアクセスされる。

第 3 図は、T L B を用いたアドレス変換回路のブロック図である。

先ず、制御レジスタ 1 7 に、セグメント・テーブル先頭アドレスを、また仮想記憶アドレス・レジスタ 1 8 に、仮想記憶アドレスを、それぞれセットする。

セグメント・テーブル先頭アドレスと仮想記憶アドレスのビット 4 ～ 1 9 のフィールドを、T L B エントリ制御部 1 9 に入力することにより、制御部 1 9 は T L B 2 1 の 1 エントリをアクセスすることができる。

仮想記憶アドレス・レジスタ 1 8 は、例えば 1 6

(4)

第 4 図は、L S を用いた演算処理装置のブロック図である。

演算処理装置の動作は、命令読出しサイクルと命令実行サイクルに分けられ、命令読出しサイクルでは、命令アドレス・レジスタ 2 9 で示された主記憶装置 4 の情報が命令レジスタ 3 1 に読出され、命令実行サイクルに移ると、命令レジスタ 2 9 の内容がデコーダ 3 2 で解釈されて、演算動作のゲートを開閉するための制御信号線として取出される。この間に、アドレス・レジスタ 2 9 は命令長分だけ加算されて次の命令語のアドレスの準備をする。

命令実行サイクルでは、ローカル・ストレージ 2 3 からデータが読出されてラッチ回路 2 4 に、また各種レジスタ 2 7, 2 8 からデータが取出されてラッチ回路 2 5 に、それぞれセットされ、論理演算回路 2 6 により所定の演算が行われた後、その結果がローカル・ストレージ 2 3 または各種レジスタ 2 7, 2 8 に格納される。

以上述べた B S, T L B および L S 等は、主記

(6)

憶装置に対して、いずれも処理能力向上のために設けられた緩衝記憶装置であつて、プログラム状態照 (PSW) により状態が制御されるストア・プログラム方式の情報処理装置の場合には、プログラムによつて読み書き動作が制御される。

従来、これらの緩衝記憶装置では、命令の実行時、該当するブロックが有効であれば、読出しが行われると同時にパリティ・チェックが行われる。パリティ・チェックの結果エラーがあれば、情報処理装置のエラー処理ルーチンにより該当するブロックもしくは全ブロック、あるいはデータの内容を無効にし、命令の再実行を試みる。命令の再実行時には、緩衝記憶装置の内容は無効になつてゐるため、主記憶装置から該当データを読出して、主記憶装置のエラーがなければ正常に終了し、命令の再実行は成功となる。

しかし、命令の種類やエラーによる中断箇所によつては、再実行が保証されない場合があり、このときには再実行不可となつてジョブは異常終了にされてしまう。

(7)

ト)、エラー・データの無効化を行い、再実行をする。すなわち、BS, TLBのエラー・ブロック、エラー変換対に対応する有効ビット (Valid bit) を"1"から"0"にして無効を表示する。

ステップ43では、再実行が可能な場合には、BS, TLBの該当するブロック、データが無効化されているため、主記憶装置MSからこれらを読出して、エラー・チェックの結果正常であれば、再実行は成功となる。

しかし、命令の性質として再実行ができない場合があり、再実行が不可能な場所のときには、ステップ44で「プロセッシング・ダメージ」となり、ステップ45でマシン・チェックの割込みが発生する。すなわち、処理装置のオペレーションに対して直接影響を及ぼし、実行中の命令や割込み動作を正常に続行できない状態 (つまり、プロセッシング・ダメージPD) になると、PSWの特定ビットのマシン・チェック・マスクが"1"ならば、緊急マシン・チェック割込みが受け付けられる。緊急マシ

(9)

第5図は、従来のマシン・チェックのフロー・チャートである。

ステップ40で、ある命令語より主記憶装置読出しの命令が出されると、先ずステップ41でBSがアクセスされ、該当データが記憶されていないときには主記憶装置MSがアクセスされるが、該当データが記憶されているときにはそのデータが読出されて、パリティ・チェックが行われ、正常であれば次の動作に進む (NEXT)。もし、パリティ・チェックの結果、エラーが発生すると、マシン・チェック・ルーチンMOXに分岐される。

マシン・チェック・ルーチンMOXでは、一般的に下記のようなことを行なう。

- (1) 1ビット・エラーの自動訂正と2ビット・エラーの検出を行う。
- (2) エラー・データを主記憶装置にログ・アウトさせる。
- (3) BS, TLBの一部あるいは全部を切離して、命令処理の続行を図る機能縮小、
- (4) 以後の命令処理の続行が不可能な場合に処理装置を停止させる。
- (5) 再実行を行うため、データをMSに退避させ (フリ・ログアウト)

(8)

ン・チェック割込みでは、実行中のオペレーションが停止され、ジョブは異常終了となり、場合によつてはシステム・ダウンを招くことになる。

勿論、この場合には、異常ログアウトが行われる。

従来、このような緊急マシン・チェック割込みの頻度は多くなかつたが、最近、メモリの集積密度の上昇にしたがい、蓄込まれた内容が反転する障害が非常に増加してきており、無視できない問題となつてゐる。

本発明の目的は、このような従来の問題を解決するため、緩衝記憶装置の反転障害を未然に検出して回復し、命令実行時のエラー発生を減少させて、ジョブの異常終了やシステム・ダウンを防止できる信頼性の高い情報処理装置を提供することにある。

本発明の情報処理装置は、スキャン・ポイントを設けて、情報処理装置が待ち状態であるときに、スキャン・ポイントにより緩衝記憶装置のスキャンを行い、ビット反転障害を検出して、該当するブロックもしくは全ブロックを無効にするこ

(10)

とを特徴としている。

以下、本発明の実施例を、図面により説明する。

第6図は、本発明の情報処理装置におけるB8読出し回路のブロック図である。

本発明では、従来の構成を殆んど変更することなく、単にメモリ・アドレス・レジスタ11に対して、B83の内容をスキヤニングするためのスキヤン・ポインタ50を接続し、そこには、情報処理装置が待ち状態になったとき、どのカラム・アドレスから読出しを開始するかを設定しておく。すなわち、B83の内容をスキヤニングするタイミングとして、情報処理装置が動作状態にあるときには、再試行のできない命令があるので、必ず再試行が成功する状態、つまり情報処理装置が待ち状態になったときにスキヤニングを開始する。

情報処理装置の待ち状態は、プログラム状態図(以下PSWと記す)の待ち状態ビットが"1"になると始まる。すなわち、PSWは情報処理装置の動作を制御する基本的な制御情報を保持しており、割込みが起ると古いPSWは主記憶装置の特

(11)

B83およびアドレス・アレイ2ともに、メモリ・アドレス・レジスタ11の下位部分112によりカラム・アドレスの1つが指定される。例えば、メモリ・アドレスの下位部分112は8ビットから構成されているため、256(カラム)×1(ロー)のマトリクス構成のエントリの1つが指定できる。

先ず、PSWの待ち状態ビットが"1"になるとにより、割込みが起つてB8反転障害チェック・ルーチンが起動され、スキヤン・ポインタ50の初期値がメモリ・アドレス・レジスタ11の下位部分にセットされる。その後、パリティ・ビットが"0"のとき、または読出しデータにエラーがないとき、スキヤン・ポインタ50では、インクリメンタが動作してプラス1されたカラム・アドレスに更新される。

アドレス下位部分112の8ビットでアドレスアレイ2の対応するエントリを選択し、アドレス上位部分202とパリティ・ビット201を読出す。比較回路51で、読出されたアドレス上位部

(13)

定位置に退避されて、他の特定位置から新しいPSWが読出される。PSWの待ち状態ビットが"0"のときには、情報処理装置は命令を読出して正常に処理を行うが、このビットが"1"になると、情報処理装置はアイドル状態となり命令を実行しない。そして、パネルのWAITランプが点灯する。しかし、割込み要求があると、動作状態と同じように処理を行う。

従来、待ち状態になったとき、割込みを起して、ハードウェアの機能チェック、例えば演算回路やアドレス変換回路や磁気ディスク装置等の動作チェック・ルーチンに分岐するような情報処理装置が提案されている。

本発明は、待ち状態になったとき、割込みを起して緩衝記憶装置の反転障害チェック・ルーチンに分岐するものである。

第6図に示すバツファ・アドレス・アレイ2には、B83に登録されているデータに対応するアドレス上位部分202と、そのデータの有効性を示すパリティ・ビット201が記憶されている。

(12)

分202とメモリ・アドレス・レジスタの上位部分112とを比較し、一致すれば一致信号バス511はオンとなる。次に、一致信号とパリティ・ビット"1"とで、アンド回路52が動作するので、上記動作に並行してメモリ・アドレスの下位部分112によりB83から読出されたブロック・データ301が有効とみなされ、読出しデータ・バス302にのせられる。

データ・バス302のデータは、パリティ・チェック回路53によりチェックされる。チェックの結果、エラーの場合には、マシン・チェック・ルーチンMOKに分岐される。以下の動作は、第7図により説明する。

第7図は、本発明のB8反転障害チェック・ルーチンのフロー・チャートである。

先ず、待ち状態ルーチンでは、ステップ33で情報処理装置が待ち状態になると、ステップ34で、スキヤン・ポインタをアドレス・レジスタの下位部分にセットする。次に、ステップ35で、アドレス・アレイの中のアドレス上位部分とパリ

(14)

ッド・ビットを脱出する。次に、ステップ36で、脱出されたバリッド・ビットが“1”であるか否かをテストし、“0”であればステップ37でスキャン・ポインタの内容をプラス1により更新して1回分の待ち状態ルーチンの動作を終了する。

また、バリッド・ビットが“1”であれば、ステップ41で、BSの中に対応するデータを脱出し、データのバリテイ・チェックを行う。

バリテイ・エラーPBRがなければ、ステップ37に戻ってスキャン・ポインタの内容を更新して1回分の待ち状態ルーチンを終る。この動作を、情報処理装置は待ち状態が解除されるまで繰返す。また、スキャン・ポインタの内容が最大値になつても、プラス1により再び“0”からチェックを開始して繰返す。

次に、バリテイ・エラーPBRがある場合には、マシン・チェック・ルーチン38に分岐する。これは、通常のマシン・チェック処理ルーチンを示している。ステップ39で、エラー時の状態のブリ・ログアウトを行い、ステップ40でBS脱出

(15)

岐すると、ステップ34～36で同じスキャン・ポインタの示すアドレス・アレイの内容を再度脱出する。この場合には、バリッド・ビットがオフになつているため、BSの脱出しを行わないで、ステップ37に進み、スキャン・ポインタを更新して終了する。

この後、待ち状態が解除され、情報処理装置が命令を実行中に、再び命令でBSの該当ブロックが参照されるときに、バリッド・ビットがオフとなつて無効になつているため、主記憶装置からデータを取り出し、BSにも同一のデータを再登録することにより、バリテイ・エラー・パターンを正常パターンに回復させる。

なお、実施例では、緩衝記憶装置として、BSのみの動作を説明したが、TLBについても全く同じようにして適用することができ、またその他のLS等の緩衝記憶装置に対しても、バリッド・ビットを付加することにより適用可能である。

以上説明したように、本発明によれば、緩衝記憶装置の反転障害があるとき、命令で参照される

(17)

しデータのバリテイ・エラーか否かを確認する。すなわち、待ち状態中に他のチェック、例えば演算回路、アドレス変換回路などの機能チェックを行つている場合には、それらのエラーも存在するので、BS反転障害チェックのエラーか否かを判断する。

そして、バリテイ・エラーが発生していれば、ステップ42でBS内の該当ブロックに対応するバリッド・ビットを“1”から“0”にして無効化する。

次に、ステップ43で、再試行可能か否かをテストするが、待ち状態ルーチンで発生していることにより再試行可能となり、待ち状態ルーチンの最初のステップ33に分岐する。

ステップ43では、待ち状態ルーチン以外の再試行不可能な命令区間で発生すると、第5図で示すように、ステップ44でダメージ・ビットをセットし、ステップ45でマシン・チェック割込みが発生し、ジョブの異常終了ないしシステム・ダウンとなる。

再試行のために、待ち状態ルーチンの最初に分

(16)

前に、情報処理装置の待ち状態で積極的にスキャン・エンゲすることにより、未然に反転障害のあるブロック・データを検出し、命令実行時のエラー発生を減少させるので、ジョブの異常終了やシステム・ダウンはなくなり、緩衝記憶装置を高信頼度で動作することができる。

4.図面の簡単な説明

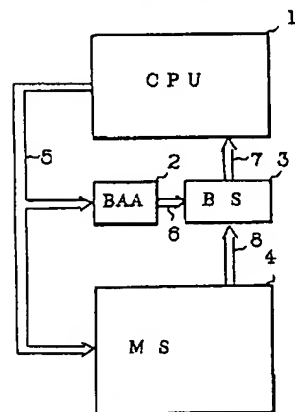
第1図はバッファ・メモリを用いた情報処理装置のブロック図、第2図は第1図のバッファ・アドレス・アレイのブロック図、第3図はTLBを用いたアドレス変換回路のブロック図、第4図はローカル・ストレージを用いた演算処理装置のブロック図、第5図は従来のマシン・チェックのフロー・チャート、第6図は本発明の実施例を示すバッファ・メモリ脱出し回路のブロック図、第7図は本発明のバッファ・メモリ反転障害チェック・ルーチンのフロー・チャートである。

1：演算処理装置、2：バッファ・アドレス・アレイ、3：バッファ・メモリ、4：主記憶装置、11：メモリ・アドレス・レジスタ、13：アレ

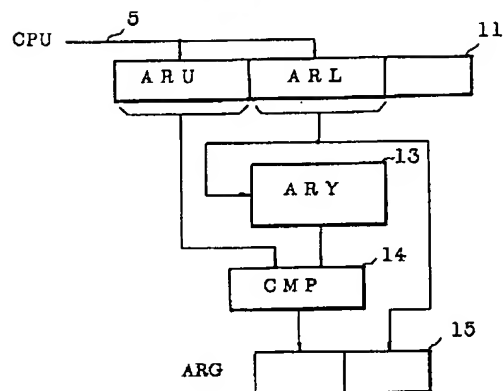
(18)

イ、14:比較器、15:アドレス・レジスタ、
17:制御レジスタ、18:仮想記憶アドレス・
レジスタ、19:TLBエントリ制御部、21:
TLB、22:実記憶アドレス・レジスタ、23:
ローカル・ストレージ、24、25:ラッチ回路、
26:演算回路、27、28:各種レジスタ、29:
アドレス・レジスタ、30:インクリメンタ、
31:メモリ・レジスタ、32:デコーダ、50:
スキヤン・ポインタ、51:比較器、52:ア
ンド回路、53:パリティ・チェック回路、111
:アドレス上位部分、112:アドレス下位部分、
201:パリティ・ビット、202:アドレス上
位部分、511:一致信号バス、302:データ・
バス。

第1図



第2図

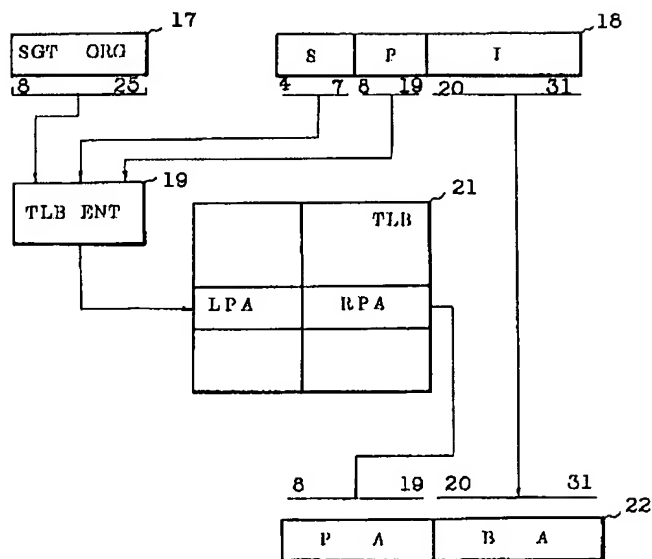


特許出願人 株式会社日立製作所

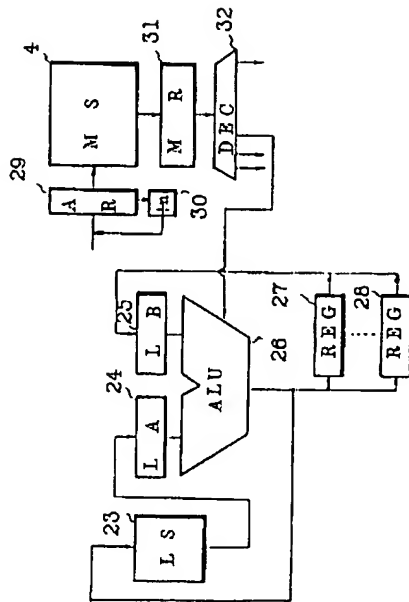
代理人 弁理士 磯村 雅 俊

(19)

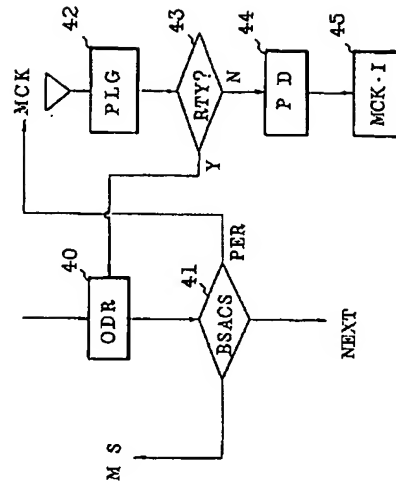
第3図



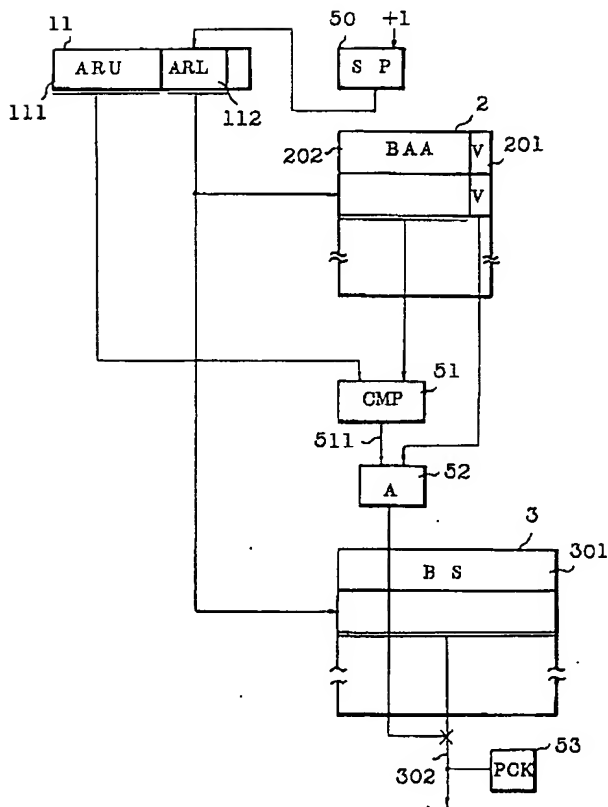
第4図



第5図



第6図



第7図

